

PAT-NO: JP408190443A
DOCUMENT-IDENTIFIER: JP 08190443 A
TITLE: CLOCK DISTRIBUTING CIRCUIT
PUBN-DATE: July 23, 1996

INVENTOR- INFORMATION:
NAME
ISHIBASHI, ATSUHIKO

ASSIGNEE- INFORMATION:
NAME MITSUBISHI ELECTRIC CORP COUNTRY N/A

APPL-NO: JP07003528
APPL-DATE: January 12, 1995

INT-CL (IPC): G06F001/10, H01L027/04 , H01L021/822

ABSTRACT:

PURPOSE: To sufficiently reduce skew even when a logic circuit group to which a clock is distributed is arranged localized.

CONSTITUTION: A clock signal is distributed by using trunk line wires 11.1-11.7 and phase comparators 26.2-26.7 make phase comparisons between the trunk line wire 11.1 and respective trunk line wires 11.2-11.7, and, if a phase difference is judged to be a specific phase difference or more, control signals outputted by control signal generating means 18.2-18.7 are changed and the delay of driver circuits 9.2-9.7 in following stages are adjusted to

automatically put the trunk line wires 11.1-11.7 in phase with one another. A decrease in the number of mounted circuits and the suppression of an increase in power consumption are obtained more than individual adjustments, and even if the logic circuit group 21 is arranged localizedly, the distribution paths need not be redesigned.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-190443

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl.*

G 06 F 1/10

H 01 L 27/04

21/822

識別記号

府内整理番号

F I

技術表示箇所

G 06 F 1/04

330 A

H 01 L 27/04

F

審査請求 未請求 請求項の数11 OL (全 16 頁)

(21)出願番号

特願平7-3528

(22)出願日

平成7年(1995)1月12日

(71)出願人

000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者

石橋 敦彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

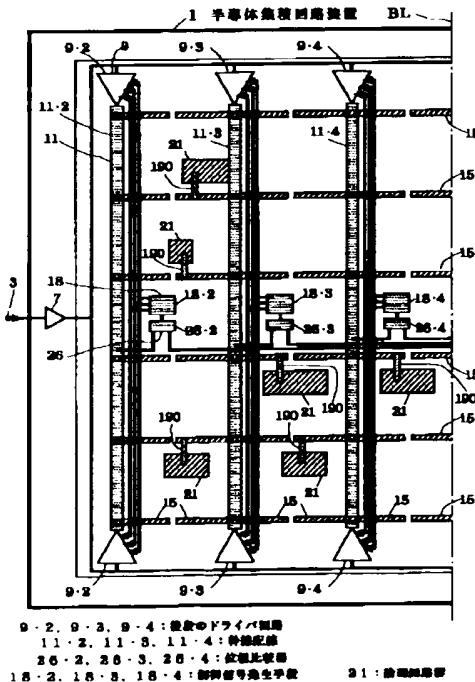
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 クロック分配回路

(57)【要約】

【目的】 クロック分配回路において、分配する論理回路群が片寄って配置された場合でも、十分にスキューを減少させる。

【構成】 クロック信号を幹線配線11·1~11·7を使用して分配するとともに、幹線配線11·1と各幹線配線11·2~11·7の間の位相を位相比較器26·2~26·7にて比較し、所定の位相差以上であると判定された場合には、制御信号発生手段18·2~18·7が出力する制御信号を変え、後段のドライバ回路9·2~9·7の遅延を調整して、幹線配線11·1~11·7の位相を自動的に合わせる。個々に位相調整するよりも搭載回路数の低下、消費電力の増加の抑制が得られ、論理回路群21が片寄って配置された場合でも分配経路を設計し直す必要がない。



1

【特許請求の範囲】

【請求項1】 配線抵抗を十分に抑制できる程度の配線幅を有する複数の幹線配線と、
前記複数の幹線配線の各々に接続配線を介して接続された複数の論理回路群と、
前記幹線配線毎に設けられ、入力するクロック信号を遅延と共に、当該遅延後の前記クロック信号を対応する前記幹線配線に出力して駆動する複数のドライバ回路と、
前記複数の幹線配線の内で基準となる幹線配線以外の幹線配線毎に設けられており、当該幹線配線と前記基準となる幹線配線間の位相差を検出し、当該検出された位相差が所定の位相差以内にない場合には当該位相差に対応したパルス幅のパルス信号を出力する一方、当該検出された位相差が前記所定の位相差以内となった場合には前記パルス信号の出力を停止する複数の位相差検出手段と、
前記位相差検出手段毎に設けられており、当該位相差検出手段の出力を受けて、対応する前記ドライバ回路の遅延を制御する制御信号を当該ドライバ回路へ出力する複数の制御信号発生手段とを備え、
前記基準となる幹線配線以外の幹線配線毎に設けられた前記複数のドライバ回路の各々は対応する前記制御信号の値に応じて前記遅延を変更し、その遅延変更に応じて対応する前記位相差検出手段が前記位相差の検出を逐一更新すると共に、対応する前記制御信号発生手段もまた前記制御信号の値を逐一更新することを特徴とする、クロック分配回路。

【請求項2】 請求項1記載のクロック分配回路において、
前記複数の位相差検出手段の各々は、当該位相差検出手段に対応する前記制御信号発生手段と共に、当該位相差検出手段に対応する前記幹線配線と前記基準となる幹線配線から略等距離離れた位置にある電源配線の直下に配置されていることを特徴とする、クロック分配回路。

【請求項3】 請求項2記載のクロック分配回路において、
前記電源配線は第1電位の電源線及び第2電位の電源線を有し、

前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々は、それぞれ前記第1電位の電源線及び前記第2電位の電源線の直下に配置されていることを特徴とする、クロック分配回路。

【請求項4】 請求項2記載のクロック分配回路において、
前記電源配線は第1電位の電源線及び第2電位の電源線を有し、

前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々は、それぞれ前記第2電位の電源線及び前記第1電位の電源線の直下に配置されてい

40 50

2

ることを特徴とする、クロック分配回路。

【請求項5】 請求項2記載のクロック分配回路において、

前記電源配線は第1電位の電源線及び第2電位の電源線を有し、
前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々は、共に前記第1電位の電源線と前記第2電位の電源線の両方の直下に跨がって配置されていることを特徴とする、クロック分配回路。

【請求項6】 請求項1記載のクロック分配回路において、

前記複数の位相差検出手段の各々は、位相比較器の位相特性の不感域を利用して前記検出した位相差が前記所定の位相差以内にあるか否かを検出することを特徴とする、クロック分配回路。

【請求項7】 請求項1記載のクロック分配回路において、

前記複数の位相差検出手段の各々は、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも遅れており且つその遅れ量が前記所定の位相差内に無いときには進相制御の前記パルス信号を出力する一方、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも進んでおり且つその進み量が前記所定の位相差内に無いときには遅相制御の前記パルス信号を出力し、
前記複数の制御信号発生手段の各々は、複数本の制御信号出力線を有しており、対応する前記位相差検出手段から前記進相制御のパルス信号が入力する毎に、対応する前記ドライバ回路の前記遅延を短縮制御するためのイネーブル電位を前記制御信号として前記複数本の制御信号

出力線の各々に順次に出力する一方、対応する前記位相差検出手段が出力する前記遅相制御のパルス信号が入力する毎に、前記イネーブル電位にある前記制御信号出力線の出力を順次にディスイネーブル電位へと変更するものであり、

前記複数のドライバ回路の各々は、対応する前記制御信号発生手段の複数本の制御信号出力線の内で前記イネーブル電位にあるものの数に応じて前記遅延を短縮することを特徴とする、クロック分配回路。

【請求項8】 請求項1記載のクロック分配回路において、

前記複数の位相差検出手段の各々は、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも遅れており且つその遅れ量が前記所定の位相差内に無いときには進相制御の前記パルス信号を出力する一方、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも進んでおり且つその進み量が前記所定の位相差内に無いときには遅相制御の前記パルス信号を出力し、
前記複数の制御信号発生手段の各々は、複数本の制御信号出力線を有しており、対応する前記位相差検出手段が出力する前記進相制御のパルス信号のパルス幅に応じ

3

て、対応する前記ドライバ回路の前記遅延を短縮制御するためのイネーブル電位を前記制御信号として前記複数本の制御信号出力線の各々に順次に出力する一方、対応する前記位相差検出手段が outputする前記遅相制御のパルス信号のパルス幅に応じて、前記イネーブル電位にある前記制御信号出力線の出力を順次にディシスイネーブル電位へと変更するものであり、

前記複数のドライバ回路の各々は、対応する前記制御信号発生手段の複数本の制御信号出力線の内で前記イネーブル電位にあるものの数に応じて前記遅延を短縮することを特徴とする、クロック分配回路。

【請求項9】 請求項7又は8記載のクロック分配回路において、

前記複数のドライバ回路の各々は、

前記クロック信号が入力する入力端子と、

対応する前記幹線配線を駆動するための出力端子と、前記出力端子にその駆動力を出力するトランジスタ回路と、

前記入力端子と前記トランジスタ回路の入力との間に接続された別のトランジスタ回路と、

前記別のトランジスタ回路と並列接続された複数の3ステートトランジスタ回路とを備え、

前記複数の3ステートトランジスタ回路の各々の制御入力には、対応する前記制御信号発生手段の複数本の制御信号出力線のそれぞれが接続されていることを特徴とする、クロック分配回路。

【請求項10】 請求項7又は8記載のクロック分配回路において、

前記複数のドライバ回路の各々は、

前記クロック信号が入力する入力端子と、

対応する前記幹線配線を駆動するための出力端子と、前記出力端子にその駆動力を出力するトランジスタ回路と、

前記入力端子にその入力が接続された別のトランジスタ回路と、

前記別のトランジスタ回路の出力と前記出力端子との間に並列接続され、各々が対応する前記制御信号発生手段の複数本の制御信号出力線のそれぞれによって制御される複数の電流制限手段とを備え、

前記複数の電流制限手段の各々は、前記制御信号出力線が前記イネーブル電位にあるときにのみ前記トランジスタ回路の入力容量を充放電するための電流を発生させることを特徴とする、クロック分配回路。

【請求項11】 請求項1記載のクロック分配回路において、

前記複数のドライバ回路の各々は、

前記幹線配線を駆動するトランジスタ回路と、

前記クロック信号を受けて前記トランジスタ回路に入力する駆動力を発生させ且つ前記制御信号の値に応じて前記駆動力を調整する駆動力発生手段とを備えることを特

50

4

徴とする、クロック分配回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置内部に配置される各論理回路群へクロック信号を分配する時に使用される、クロック分配回路に関するものである。

【0002】

【従来の技術】クロック分配回路においては、分配後のクロック信号間の位相差（以下、スキーと称す）を最小にすることが求められる。図12は、米国特許第5270592号（特開平3-212318号公報）に記載されたクロック分配回路の構成例であり、当該クロック分配回路は、半導体集積回路装置101上に配置された各構成部分、即ち入力端子103、前段のドライバ回路107、後段のドライバ回路109、幹線配線111、ブランチ配線115、論理回路群121、論理回路群121への接続配線119、から成り立っている。

【0003】前段のドライバ回路107は、入力端子103に印加されたクロック信号をドライブして、より駆動力の大きな後段のドライバ回路109へと伝達する。後段のドライバ回路109は、ピアホール113を介して幹線配線111へクロック信号を供給する。幹線配線111は、配線幅が広く且つ配線抵抗が小さいために、幹線配線111内で生じるスキーが小さく、各ブランチ配線115へほぼ同時にクロック信号を伝える。ブランチ配線115は、個々の論理回路群121へ、ピアホール117、接続配線119を経由してクロック信号を伝える。この結果、スキーが生じる部分は、配線抵抗が比較的大きなブランチ配線115の部分のみとなり、幹線配線111を使用しなかった場合に比べ、クロック分配後のスキーを大巾に減らすことが可能である。

【0004】以上の構成例とは別に、分配後のクロック信号の位相を検出して分配経路の遅延を制御し、位相差を自動的に調整する構成も提案されている。この例を次に説明する。

【0005】図13は、特開昭61-70831号公報に記載されたクロック分配回路の構成例で、このクロック分配回路は、複数個の遅延素子212bから成る多タップ付遅延線212、マルチブレクサ214、クロック駆動回路216、遅延回路224、位相比較器226、遅延線カウンタ218より構成される。なお、クロック駆動回路216より出力される位相調整済みの信号Csは、図示しない論理回路群へと供給される。

【0006】多タップ付遅延線212は、印加されたメインクロック信号Cを受けて、各遅延素子212bの遅延分だけ順々に遅らせた複数個のクロック信号212aを生成する。マルチブレクサ214は、遅延線カウンタ218の出力する制御信号218aを受けて、複数個のクロック信号212aの内の1つを選択する。クロック

5

駆動回路216は、マルチプレクサ214の選択したクロック信号C'dを受けて、位相調整されたクロック信号Csを各論理回路群へ供給する。

【0007】印加されたメインクロック信号Cは、また所定の遅延値d0を有する遅延回路224を経て、位相比較器226に印加される。位相比較器226は、遅延回路224を経た信号Cdの位相とクロック駆動回路216より出力される信号Csの位相とを比較し、両位相が一致しない場合に補正信号226cを出力する。遅延線カウンタ218は、補正信号226cが印加されると、マルチプレクサ214の選択を変えるように指令する制御信号218aを出し、補正信号226cが印加されなくなると、そのときのマルチプレクサ214の選択を固定するように指令する制御信号218aを出力する。

【0008】この従来技術の動作は、以下のとおりである。まず、多タップ付遅延線212では、印加されたメインクロック信号Cから、相互に位相が異なる複数のクロック信号212aが作り出される。そして、その内の一つの信号がマルチプレクサ214によって選択され、クロック駆動回路216よりクロック信号Csとして出力される。出力されたクロック信号Csは、多タップ付遅延線212とマルチプレクサ214とクロック駆動回路216とによって生じた遅延の結果、メインクロック信号Cよりも、その位相が遅れた状態になっている。次に、このクロック信号Csの位相と、遅延回路224において遅延値d0だけクロック信号Cより遅れた信号Cdの位相とが、位相比較器226によって比較される。もし両位相が一致していない場合には、補正信号226cが遅延線カウンタ218へと印加され、これにより遅延線カウンタ218はその制御信号218aの値を変える。この結果、マルチプレクサ214では、複数のクロック信号212aの内で別の位相の信号へと接続が変わり、新たな位相のクロック信号Csがクロック駆動回路216より出力され、再び位相比較器226による位相比較が行われる。更にこの動作が繰り返され、クロック信号Csと信号Cdの両位相が一致すると、補正信号226cが出力されなくなる結果、遅延線カウンタ218は一つ前の制御信号218aの値を保持し、クロック駆動回路216より出力されるクロック信号Csは、メインクロック信号Cよりも所定の遅延値d0だけ遅延した位相に固定されて、各論理回路群へ供給される。

【0009】以上の構成例を各論理回路群に対し実施すれば、分配経路の遅延を全て同一に制御することができる結果、各論理回路群ごとのスキューを最小にすることができる。

【0010】図14の従来技術は、例えば特開平3-30517号公報、米国特許第3610954号等に記載されている位相比較器の構成例である。同図において、41~46は2NAND回路、47は4NAND回路、

6

48及び49は3NAND回路である。また、2NAND回路41、46の一方の入力端のそれぞれには、位相比較器の入力端子35、36が接続されており、3NAND回路48、49のそれぞれの出力端には、位相比較器の出力端子37、38が接続されている。

【0011】この位相比較器は、入力端子35、36に与えられた信号の位相を比較し、その位相差に応じたパルス幅のパルス信号を出力端子37または38に出力する。入力端子36が入力端子35より遅れているときは出力端子37に、逆に、入力端子36が入力端子35より進んでいるときには出力端子38に、位相差分のパルス信号が出力される。

【0012】

【発明が解決しようとする課題】従来のクロック分配回路は以上のように構成されているので、論理回路群が片寄って配置された場合には十分にスキューを減少させることができないという問題点がある。

【0013】例えば、図12に示した第一の従来例においては、ブランチ配線部分で生じたスキューまでも減らすことはできないので、ブランチ配線に接続される論理回路群が局所的に集中するときには、接続数が均等となるように、分配経路を設計し直す必要が生じる。しかも、クロック分配用の全ての配線、及び各論理回路を一つのドライバ回路で駆動しているので、ドライバ回路は十分な駆動力を必要とし、このためにドライバ回路のトランジスタ・サイズを小さくすることができないという問題点も生じる。

【0014】一方、図13に示した第二の従来例の場合において、クロック駆動回路から各論理回路群までの配線距離がすべて等距離になるように分配経路を設けることが必要である。これとは別に、論理回路群ごとに第二の従来例を一つ一つ配置して位相を合わせていく方法も考えられないではないが、この方法では、半導体集積回路装置内部の回路規模を著しく増加させてしまい、チップコストの増大、消費電力の増加を招く、という問題点を生じさせる。このため、この方法を採用することもできない。

【0015】この発明は、係る懸案事項を克服すべくなされたものであり、論理回路群（分配負荷）が片寄って配置されている場合でも、自動的に分配クロック間の位相差を低減することができるクロック分配回路を実現しようとするものである。

【0016】

【課題を解決するための手段】請求項1に係る発明では、配線抵抗を十分に抑制できる程度の配線幅を有する複数の幹線配線と、前記複数の幹線配線の各々に接続配線を介して接続された複数の論理回路群と、前記幹線配線毎に設けられ、入力するクロック信号を遅延すると共に、当該遅延後の前記クロック信号を対応する前記幹線配線に出力して駆動する複数のドライバ回路と、前記複

数の幹線配線の内で基準となる幹線配線以外の幹線配線毎に設けられており、当該幹線配線と前記基準となる幹線配線との位相差を検出し、当該検出された位相差が所定の位相差以内にない場合には当該位相差に対応したパルス幅のパルス信号を出力する一方、当該検出された位相差が前記所定の位相差以内となった場合には前記パルス信号の出力を停止する複数の位相差検出手段と、前記位相差検出手段毎に設けられており、当該位相差検出手段の出力を受けて、対応する前記ドライバ回路の遅延を制御する制御信号を当該ドライバ回路へ出力する複数の制御信号発生手段とを備えており、前記基準となる幹線配線以外の幹線配線毎に設けられた前記複数のドライバ回路の各々は対応する前記制御信号の値に応じて前記遅延を変更し、その遅延変更に応じて対応する前記位相差検出手段が前記位相差の検出を逐一更新すると共に、対応する前記制御信号発生手段もまた前記制御信号の値を逐一更新することとしている。

【0017】請求項2に係る発明では、請求項1記載のクロック分配回路における前記複数の位相差検出手段の各々は、当該位相差検出手段に対応する前記制御信号発生手段と共に、当該位相差検出手段に対応する前記幹線配線と前記基準となる幹線配線から略等距離離れた位置にある電源配線の直下に配置されている。

【0018】請求項3に係る発明では、請求項2記載のクロック分配回路における前記電源配線が第1電位の電源線及び第2電位の電源線を有しており、前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々が、それぞれ前記第1電位の電源線及び前記第2電位の電源線の直下に配置されている。

【0019】請求項4に係る発明では、請求項2記載のクロック分配回路における前記電源配線が第1電位の電源線及び第2電位の電源線を有しており、前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々が、それぞれ前記第2電位の電源線及び前記第1電位の電源線の直下に配置されている。

【0020】請求項5に係る発明では、請求項2記載のクロック分配回路における前記電源配線が第1電位の電源線及び第2電位の電源線を有しており、前記複数の位相差検出手段の各々及び対応する前記複数の制御信号発生手段の各々が、共に前記第1電位の電源線と前記第2電位の電源線の両方の直下に跨がって配置されている。

【0021】請求項6に係る発明では、請求項1記載のクロック分配回路における前記複数の位相差検出手段の各々は、位相比較器の位相特性の不感域を利用して前記検出した位相差が前記所定の位相差以内にあるか否かを検出する。

【0022】請求項7に係る発明では、請求項1記載のクロック分配回路における、前記複数の位相差検出手段の各々は、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも遅れており且つその遅れ量が前

記所定の位相差内に無いときには進相制御の前記パルス信号を出力する一方、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも進んでおり且つその進み量が前記所定の位相差内に無いときには遅相制御の前記パルス信号を出力し、前記複数の制御信号発生手段の各々は、複数本の制御信号出力線を有しており、対応する前記位相差検出手段から前記進相制御のパルス信号が入力する毎に、対応する前記ドライバ回路の前記遅延を短縮制御するためのイネーブル電位を前記制御信号として前記複数本の制御信号出力線の各々に順次に出力する一方、対応する前記位相差検出手段が出力する前記遅相制御のパルス信号が入力する毎に、前記イネーブル電位にある前記制御信号出力線の出力を順次にディスイネーブル電位へと変更するものであり、前記複数のドライバ回路の各々は、対応する前記制御信号発生手段の複数本の制御信号出力線の内で前記イネーブル電位にあるものの数に応じて前記遅延を短縮する。

【0023】請求項8に係る発明では、請求項1記載のクロック分配回路における、前記複数の位相差検出手段の各々は、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも遅れており且つその遅れ量が前記所定の位相差内に無いときには進相制御の前記パルス信号を出力する一方、対応する前記幹線配線の位相が前記基準となる幹線配線の位相よりも進んでおり且つその進み量が前記所定の位相差内に無いときには遅相制御の前記パルス信号を出力し、前記複数の制御信号発生手段の各々は、複数本の制御信号出力線を有しており、対応する前記位相差検出手段が出力する前記進相制御のパルス信号のパルス幅に応じて、対応する前記ドライバ回路の前記遅延を短縮制御するためのイネーブル電位を前記制御信号として前記複数本の制御信号出力線の各々に順次に出力する一方、対応する前記位相差検出手段が出力する前記遅相制御のパルス信号のパルス幅に応じて、前記イネーブル電位にある前記制御信号出力線の出力を順次にディスイネーブル電位へと変更するものであり、前記複数のドライバ回路の各々は、対応する前記制御信号発生手段の複数本の制御信号出力線の内で前記イネーブル電位にあるものの数に応じて前記遅延を短縮する。

【0024】請求項9に係る発明では、請求項7又は8記載のクロック分配回路における前記複数のドライバ回路の各々が、前記クロック信号が入力する入力端子と、対応する前記幹線配線を駆動するための出力端子と、前記出力端子にその駆動力を出力するトランジスタ回路と、前記入力端子と前記トランジスタ回路の入力との間に接続された別のトランジスタ回路と、前記別のトランジスタ回路と並列接続された複数の3ステートトランジスタ回路とを備えており、前記複数の3ステートトランジスタ回路の各々の制御入力に、対応する前記制御信号発生手段の複数本の制御信号出力線のそれぞれを接続している。

【0025】請求項10に係る発明では、請求項7又は8記載のクロック分配回路における前記複数のドライバ回路の各々が、前記クロック信号が入力する入力端子と、対応する前記幹線配線を駆動するための出力端子と、前記出力端にその駆動力を出力するトランジスタ回路と、前記入力端子にその入力が接続された別のトランジスタ回路と、前記別のトランジスタ回路の出力と前記出力端子との間に並列接続され、各々が対応する前記制御信号発生手段の複数本の制御信号出力線のそれぞれによって制御される複数の電流制限手段とを備え、前記複数の電流制限手段の各々は、前記制御信号出力線が前記イネーブル電位にあるときにのみ前記トランジスタ回路の入力容量を充放電するための電流を発生させる。

【0026】請求項11に係る発明では、請求項1記載のクロック分配回路における前記複数のドライバ回路の各々が、前記幹線配線を駆動するトランジスタ回路と、前記クロック信号を受けて前記トランジスタ回路に入力する駆動力を発生させ且つ前記制御信号の値に応じて前記駆動力を調整する駆動力発生手段とを備えている。

【0027】

【作用】請求項1の発明に係るクロック分配回路では、各位相差検出手段は、対応する幹線配線と基準となる幹線配線間の位相差を検出し、その位相差が所定の位相差以上のときには当該位相差に対応したパルス信号を対応する制御信号発生手段へ出力する。このパルス信号に応じて、対応する制御信号発生手段は制御信号を対応するドライバ回路へ出力する。これにより、ドライバ回路は、入力した制御信号に応じてその遅延を変更する。この遅延変更により、再び各位相差検出手段は上記位相差検出を行い、新たに検出した位相差が所定の位相差以上のときには再び当該位相差に対応したパルス信号を対応する制御信号発生手段へ出力し、当該制御信号発生手段は出力する制御信号の値を更新する。この様な動作が逐一繰り返される結果、やがて各位相差検出手段により検出される位相差は所定の位相差内に制御されることとなる。

【0028】請求項2の発明に係るクロック分配回路では、位相差検出手段及び制御信号発生手段は、共に論理回路群が配置されることはない電源配線の直下に配置されるので、半導体集積回路装置上に搭載する回路数の低下を招くことはない。

【0029】請求項3の発明に係るクロック分配回路では、位相差検出手段、及び制御信号発生手段のそれぞれは、論理回路群が通常置かれることは第一電位及び第二電位の電源線の直下に配置されるので、半導体集積回路装置上に搭載する回路数の低下を招くことがない。

【0030】請求項4の発明に係るクロック分配回路では、位相差検出手段及び制御信号発生手段は、それぞれ、論理回路群が配置されることはない第2電位の電源線及び第1電位の電源線の直下に配置されるので、半導

体集積回路装置上に搭載する回路数の低下を招くことはない。

【0031】請求項5の発明に係るクロック分配回路では、位相差検出手段及び制御信号発生手段は共に、論理回路群が配置されることはない第1電位の電源線及び第2電位の電源線の両方の直下に跨がって配置されるので、半導体集積回路装置上に搭載する回路数の低下を招くことはない。

【0032】請求項6の発明に係るクロック分配回路では、不感域の幅より小さい位相差の時は位相差検出手段はその検出信号を出力しないので、制御信号発生手段の出力は変化せず、ドライバ回路の遅延はそのときの値を維持し続ける。

【0033】請求項7の発明に係るクロック分配回路では、各位相差検出手段によって、基準となる幹線配線の位相に対し比較される各幹線配線の位相が所定の値を越えて遅いと判定された場合には進相制御のパルス信号が出力され、その結果、各制御信号発生手段の出力にイネーブル電位が発生して、これによりドライバ回路はその遅延を早くする。それに対して、所定の値を越えて早いと判定された場合には遅相制御のパルス信号が出力され、その結果、各制御信号発生手段は出力するイネーブル電位を解除し、これによりドライバ回路はその遅延を遅くし、各幹線配線それぞれの位相を調整する。

【0034】請求項8の発明に係るクロック分配回路では、対応する幹線配線の位相のほうが基準となる幹線配線の位相よりも遅い場合に、位相差検出手段によって出力される進相制御のパルス信号のパルス幅が広ければ、制御信号発生手段の制御信号出力線においてイネーブル電位が出力されるものの数が増加し、ドライバ回路はその遅延値を大きく縮める。その結果、このドライバ回路により駆動される幹線配線の位相が早くなる。一方、上記位相が早い場合に出力される遅相制御のパルス信号のパルス幅が広ければ、そのパルス幅に応じて、制御信号発生手段の制御信号出力線においてイネーブル電位が出力される数が減少し、ドライバ回路はその遅延値を大きく増加させる。その結果、このドライバ回路によって駆動される幹線配線の位相が遅くなる。

【0035】請求項9の発明に係るクロック分配回路では、各3ステートトランジスタ回路は、入力する制御信号に応じて、トランジスタ回路の入力を駆動する駆動力を変更する。この変更により、各ドライバ回路自体の遅延が短縮されたり、逆に長くなったりする。

【0036】請求項10の発明に係るクロック分配回路では、各電流制限手段は、入力する制御信号に応じて、トランジスタ回路の入力容量を充放電する電流のレベルを変更する。この変更により、各ドライバ回路自体の遅延が短縮されたり、逆に長くなったりする。

【0037】請求項11の発明に係るクロック分配回路では、制御信号発生手段の出力に応じて、ドライバ回路

11

内部で幹線配線を駆動するトランジスタ回路の入力を駆動する駆動力発生手段回路の駆動力が制御され、ドライバ回路出力の駆動力は変わらずに遅延値のみが調整される。

【0038】

【実施例】以下、本発明をその実施例を示す図面に基づいて具体的に説明する。

【0039】(実施例1) 図1~図3は、本発明の第1実施例に係るクロック分配回路を示す平面図である。これらの図において、1は半導体集積回路装置、3は外部クロックの入力端子、7は前段のドライバ回路、9・1~9・7(総称するときは、単に9として表わす)は後段のドライバ回路、11・1~11・7(総称するときは単に11として表わす)は幹線配線、15はブランチ配線、21は論理回路群、190は論理回路群21への接続配線、26・2~26・7(総称するときは26として表わす)は位相比較器(位相差検出手段に該当)、18・2~18・7(総称するときは18として表わす)は制御信号発生手段である。

【0040】入力端子3は、外部から入力されるクロック信号を受ける。前段のドライバ回路7は入力端子3に印加されたクロック信号を受け、後段のドライバ回路9・1~9・7を駆動する。後段のドライバ回路9・1~9・7は、それぞれ、前段のドライバ回路7の出力信号を受けて、対応する幹線配線11・1~11・7へと信号を出力して駆動する。その際、後段のドライバ回路9・2~9・7のそれぞれの駆動力は、対応する制御信号発生手段18・2~18・7の出力信号によって決定される。ここで、幹線配線11・1~11・7については、それらの配線抵抗が十分小さくなるように、ブランチ配線15等と比較して配線幅をより広く設定してあるので、各幹線配線11・1~11・7内で生じるスキーは小さい。従って、各幹線配線11・1~11・7は、各ブランチ配線15へほぼ同時にクロック信号を伝える。ブランチ配線15は、接続配線190を経由して、個々の論理回路群21へクロック信号を伝える。

【0041】位相比較器26・2~26・7のそれぞれは、基準となる幹線配線11・1が伝えるクロックの位相とそれに対応した幹線配線11・2~11・7が伝えるクロックの位相とを比較し、両位相差が所定の位相差以上であった場合には、それに対応する制御信号発生手段18・2~18・7へ、検出された位相差に対応したパルス幅を有するパルス信号を出力する。そして、制御信号発生手段18・2~18・7のそれぞれは、対応する位相比較器26・2~26・7からパルス信号が出力された場合にその出力信号(パルス信号)を保持し、制御信号を出力してそれに対応する後段のドライバ回路9・2~9・7の駆動力を切り換える。

【0042】次に、動作について説明する。まず入力端子3から前段のドライバ回路7を経て後段のドライバ回

10

20

30

40

12

路9・1~9・7の各々へ印加されたクロック信号は、幹線配線11・1~11・7を経由して、個々の論理回路群21へと供給される。ところが、論理回路群21は必ずしも幹線配線11・1~11・7に対して均等に接続されているとは限らないため、後段のドライバ回路9・1~9・7個々に遅延に差が生じ、幹線配線11・1~11・7間には位相差が生じている。そこで、位相比較器26・2~26・7のそれぞれは、幹線配線11・1~11・7の内で、基準となる幹線配線11・1を伝わるクロック信号の位相とそれ以外のそれに対応する幹線配線11・2~11・7を伝わるクロック信号の位相とを比較する。

【0043】もし特定の幹線配線11・a(ここでaは、数字2~7のいずれかを示す)と上記基準幹線配線11・1間の位相差が、予め定められた位相差以上に遅れている場合には、それに対応する位相比較器26・aは、その位相差に対応したパルス幅を有する進相制御のパルス信号を出力する。この進相制御のパルス信号は対応する制御信号発生手段18・aによって保持され、当該対応する制御信号発生手段18・aがOutputする制御信号を受けて、対応する後段のドライバ回路9・aは、後述するように、その内部のトランジスタの接続を切り換えて、その駆動力を更に一段階分大きくする。

【0044】逆に、特定の幹線配線11・aと基準幹線配線11・1間の位相差が予め定められた位相差以上に進んでいる場合には、対応する位相比較器26・aは、その位相差に対応したパルス幅の遅相制御のパルス信号を出力する。この遅相制御のパルス信号は対応する制御信号発生手段18・aによって保持され、対応する制御信号発生手段18・aがOutputする制御信号を受けて、対応する後段のドライバ回路9・aは、その内部のトランジスタの接続を切り換えて、これによってその駆動力を更に一段階分小さくする。

【0045】以上の動作が繰り返され、その後、特定の幹線配線11・aについての位相差が予め定められた位相差以下にまで減少すると、対応する位相比較器26・aは進相/遅相制御のパルス信号を出力しなくなり、対応する制御信号発生手段18・aは一つ前の制御信号の出力値を維持する結果、対応する後段のドライバ回路9・aの駆動力は適性状態で保持されることとなり、常に所望のスキー値以下を実現するクロック分配回路が得られる。このように、各位相比較器26は、位相差の検出値を、対応する後段のドライバ回路9の出力するクロック信号の位相に応じて逐一更新し、この更新に応じて対応する制御信号発生手段18もまた、その制御信号の値を逐一更新して出力することとなる。

【0046】なお、位相比較動作はクロック信号の各エッジごとに毎回行う必要はなく、例えば位相比較器26・2~26・7の入力部分に分周期を挿入する等によつて、数エッジおきに幹線配線11・1~11・7間の位

13

相を比較する構成であってもよい。

【0047】(実施例1の各部の具体的構成例)以下、図1～図3の要部の具体的構成例を順次に示し、それらの動作を説明する。

【0048】図4は、図1～図3の構成例において説明した位相比較器26における比較方法、即ち予め定められた位相差以上であるかどうかを検出する方法の1例を説明するための、位相比較器26の位相特性を示すグラフである。図4において、横軸は2クロック信号間の位相差(基準となる位相に対し遅れている場合を+、進んでいる場合を-とする)を示し、縦軸は位相比較器26が outputするパルス信号の制御パルス幅(進相制御のパルス信号を+、遅相制御のパルス信号を-で示す)を示す。本実施例においては、所定の位相差以上であるかどうかの検出は、位相特性の不感域を利用して行われる。ここで、不感域とは、図4中に±dで示す、いわゆる位相差に対してパルス信号のパルス幅が変化しない部分のことである。

【0049】図4で説明した特性を実現するための位相比較器26の具体的な構成例は、例えば図5の様な回路である。図14に示した従来技術の位相比較器と異なるところは、インバータ回路66～69が追加されていることである。これらのインバータ回路66、67、及び68、69は、それぞれ、2NAND回路41と48、及び46と49で構成されるラッチ回路に電位の変化がセットされるタイミングを遅らせる動作をする。

【0050】この結果、入力端子35、36にそれぞれ入力するクロックの位相同士が接近すると、早い方の位相変化でセットするタイミングよりも、遅い方の位相変化で4NAND回路47を経由して2NAND回路41と48、及び46と49によりそれぞれ構成されるラッチ回路をリセットするタイミングのほうが先になり、位相特性に不感域を作ることができる。

【0051】図6は、図1～図3において示した制御信号発生手段18の具体的な構成例を示す回路図である。図6において、75・1～75・nの各々、76・1～76・nの各々は共にフリップフロップ回路で、それぞれリセット端子R、データ入力D、エッジトリガ入力T、出力端子Qを備える。27Tは進相制御のパルス信号28の入力端子、28Tは遅相制御のパルス信号28の入力端子、19・1～19・nの各々は制御信号発生手段18の制御信号出力線である。

【0052】初段のフリップフロップ回路75・1のデータ入力Dには、後段のドライバ回路9の遅延短縮をイネーブルにする電位77が印加される。フリップフロップ回路75・1～75・nの各々のエッジトリガ入力Tは、位相比較器26から出力される進相制御のパルス信号27が印加される。また、フリップフロップ回路75・1～75・nの各々の出力端子Qは、それぞれ当該制御信号発生手段18の制御信号出力線19・1～19・

14

nとして、対応するドライバ回路9と接続される。さらにフリップフロップ回路75・1～75・(n-1)の各々の出力端子Qは、それぞれ次段のフリップフロップ回路75・2～75・nの各々のデータ入力Dにも接続される。

【0053】他方、フリップフロップ回路76・1のデータ入力Dには、フリップフロップ回路75・1～75・nの各リセット端子Rをリセット状態にするための電位78が印加される。フリップフロップ回路76・1～76・nの各々のエッジトリガ入力Tは、対応する位相比較器26から出力される遅相制御のパルス信号28が印加される。また、フリップフロップ回路76・1～76・nの各々の出力端子Qは、リセット信号として、フリップフロップ回路75・n～75・1のリセット端子にそれぞれ接続される。さらに、フリップフロップ回路76・1～76・(n-1)の各々の出力端子Qは、それぞれ次段のフリップフロップ回路76・2～76・nの各々のデータ入力Dにも接続される。フリップフロップ回路76・1～76・nの各々のリセット端子Rには、進相制御のパルス信号27が印加されている。

【0054】図6の制御信号発生手段18の動作を、次に説明する。制御信号がディスイネーブル状態では、必ず進相制御のパルス信号27が出力されるように、予め後段のドライバ回路9のサイズを設計しておくと、最初の位相比較では進相制御のパルス信号27が対応する比較器26より出力されることになるので、フリップフロップ回路75・1の出力端子Qにイネーブルの制御信号が現われる。さらに進相制御のパルス信号27が出力されると、フリップフロップ回路75・1の出力端子Qのイネーブル信号がフリップフロップ回路75・2にラッチされる結果、フリップフロップ回路75・2の出力端子Qにもイネーブルの制御信号が現われる。この動作が繰り返され、進相制御のパルス信号27が位相比較器26より出力され無くなると、フリップフロップ回路75・1～75・nはラッチされた状態を継続し、制御信号出力線19・1～19・nには、イネーブル信号がラッチされているフリップフロップ回路の各制御信号出力線のところまでにイネーブル電位が出力される。

【0055】逆に、位相調整が外れて、遅相制御のパルス信号28が印加された場合には、フリップフロップ回路76・1の出力端子Qには、フリップフロップ回路75・nをリセット状態にするリセット信号が現われ、フリップフロップ回路75・nの出力端子Qはディスイネーブル状態となる。さらに遅相制御のパルス信号28が出力されると、次段のフリップフロップ回路76・2がフリップフロップ回路76・1の出力するリセット信号をラッチする結果、フリップフロップ回路75・(n-1)もまたリセット状態になり、その出力端子Qもディスイネーブル状態になる。この動作が繰り返され、遅相制御のパルス信号28が位相比較器26出力され無くな

15

ると、その後はリセット信号がラッチされ無くなるので、フリップフロップ回路75・1～75・nの各々が出力するイネーブル信号は最適状態となる。

【0056】この後、進相制御のパルス信号27が再び出力され始めると、フリップフロップ回路76・1～76・nは、進相制御のパルス信号27によりリセットされる結果、フリップフロップ回路75・1～75・nの内のいくつかをリセット状態にしている信号が解除されて、再びフリップフロップ回路75・1～75・nの各々にイネーブル信号がラッチされていく。

【0057】以上のような構成をとれば、図1～図3で説明したような制御信号発生手段18、つまり、進相／遅相制御のパルス信号が印加された場合はその信号を保持して制御信号として出力し、進相／遅相制御のパルス信号が印加されない場合は一つ前の調整時の制御信号を継続して出力する、という機能をもった制御信号発生手段18が得られることになる。

【0058】図7は、図1～図3に示した後段のドライバ回路9の具体的な構成例を示す回路図である。図7において、84は後段のドライバ回路9の入力端子であり、80は後段のドライバ回路9の出力端子であって対応する図1～図3の幹線配線11と接続される。81は出力端子80を駆動するインバータ回路（トランジスタ回路に該当）、82は入力端子84の電位変化を受けてインバータ回路81を駆動するインバータ回路（別のトランジスタ回路に該当）である。又、83・1～83・nの各々は、入力端子84の電位変化を受けてインバータ回路81を駆動する3ステートインバータ回路（3ステートトランジスタ回路に該当）であり、その制御入力Cのレベルがイネーブル電位にある時には次段の負荷を駆動し、制御入力Cのレベルがディスイネーブル電位にある時にはその出力がハイインピーダンス状態となる回路である。

【0059】この実施例1では、3ステートインバータ回路83・1～83・nの各制御入力Cは、それぞれに対応する制御信号発生手段（図1～図3の18）の各制御信号出力線（19・1～19・n（図6））に接続される。ここでも、各3ステートインバータ回路83・1～83・nを総称化するときには、単に3ステートインバータ回路83と呼ぶ。

【0060】図1～図3に示した対応する制御信号発生手段18から制御信号として、制御入力Cのいくつかに対してイネーブル電位が输出されると、イネーブル電位が伝わる3ステートインバータ回路83では、ハイインピーダンス状態が解除されて、インバータ回路82と共にインバータ回路81の入力容量を駆動する。この結果、イネーブル電位が印加される3ステートインバータ回路83の数が多くなれば、後段のドライバ回路9の遅延は短くなる。これに対して、イネーブル電位が印加される3ステートインバータ回路83の数が少ないとときに

16

は、後段のドライバ回路9の遅延は長くなる。この動作により、当該後段のドライバ回路9の駆動する幹線配線11の位相が調節される。

【0061】このように、図7のトランジスタ回路82とn個の3ステートインバータ回路83とから成る回路部分は、クロック信号を受けてインバータ回路81に入力する駆動力を発生させ且つ制御信号の値に応じてその駆動力を調整する駆動力発生手段として機能する。

【0062】尚、図7に示す後段のドライバ回路9では、対応した幹線配線11を駆動するためのインバータ回路81の駆動力は常に一定なので、この回路9を用いれば、クロック分配後のクロック信号の立ち上がり時間及び立ち下り時間を作成としたままで、後段のドライバ回路9の遅延だけを調整できるという利点がある。

【0063】又、図7の各3ステートインバータ回路83・1～83・nの駆動力については、これらを必ずしも同一に設定しておく必要はなく、それらの各駆動力をそれぞれ異なる値に設定しておいても良い。

【0064】（実施例2）実施例1では、各位相比較器26・aと各制御信号発生手段18・aとを、両側を走る幹線配線[11・aと11・(a+1) (a=2, 3), a=4のときは11・1と11・4, a=5のときは11・1と11・5, 11・(a-1)と11・a (a=6, 7)]間に配置していたが、実施例2では、そのような配置に代えて、次のような配置をとる。即ち、各位相比較器26・aと各制御信号発生手段18・aとを、対応する幹線配線11・aと基準幹線配線11・1とから等距離はなれた位置に電源配線を設け、その電源配線の直下に配置している。具体的には、次の通りである。

【0065】図8は、図1～図3において説明した位相比較器26・a、制御信号発生手段18・aのより好ましい配置構成例を拡大して示す平面図であり、31は半導体集積回路装置(1)全体に電源を供給するためのVDD電源バス（第1電位の電源線）、32はVSS電源バス（第2電位の電源線）、19・aは制御信号発生手段18・aが出力する制御信号を後段のドライバ回路9・aへ伝えるための制御信号出力線、25・1、25・aは、それぞれ基準幹線配線11・1と対応する幹線配線11・aのクロック位相を対応する位相比較器26・aに伝えるための入力信号線である。

【0066】図8の一配置例においては、すべての位相比較器26・aと制御信号発生手段18・aは、それぞれ、基準幹線配線11・1と対応する幹線配線11・aから等距離の位置に最も近い、VDD電源バス31、VSS電源バス32の直下に配置される。このような配置例をとれば、両入力信号線25・1と25・aの配線長がほぼ等しくなり、かつ最短長に設定できるので、抵抗成分を減少させることができるという利点がある。しかも、このような配置例をとれば、本発明を実施したこと

17

により生じうる半導体集積回路装置1内の搭載可能回路規模の低下及び、チップコストの増大という点は、図1の従来例よりも悪化することはない。

【0067】なお図8においては、VDD電源バス31の直下に位相比較器26・a、VSS電源バス32の直下に制御信号発生手段18・aを配置した例を示したが、この配置関係を逆にしてもよく、またVDD電源バス31、VSS電源バス32が接近して配置されている場合では、位相比較器26・aまたは制御信号発生手段18・aを両者31、32にまたがって配置するようにしてもよく、その場合も効果は同じである。

【0068】(実施例3)ここでは、実施例1の位相比較器26の変形例を示す。他の構成部分は、実施例1の場合と同一である。

【0069】図9は、図4で説明した位相特性を実現する位相比較器の他の構成例の要部回路部分を示す回路図であり、70は2AND回路、71は遅延回路、72は入力端子、73は出力端子である。

【0070】図9において、入力端子72に印加されたパルス信号は、直接2AND回路70の一方の入力に印加されるが、同時に遅延回路71によって所定の遅延時間だけ遅延された上で2AND回路70の他の入力にも印加される。この結果、入力端子72に印加されたパルス信号は、遅延回路71の遅延時間分だけそのパルス幅が狭くなった状態として、出力端子73に現われる。そこで、図9で示される当該回路を、図14に示した従来の位相比較器の出力端37、38の双方に接続すれば、遅延回路71に設定された遅延時間の2倍の時間に等しい不感域を持った位相特性を有する位相比較器が得られる。従って、この実施例3は、図14の位相比較器と図9の回路とを組み合わせてなる回路を、図1～図3の位相比較器26として構成するものである。

【0071】(実施例4)実施例4は、実施例1の図1～図3に示された制御信号発生手段18の他の構成例に関するものであり、図1～図3中のそれ以外の部分は実施例1と同一である。そのような制御信号発生手段18の他の構成例18Aを、図10に示す。同図において、70・1～70・nの各々及び70・1A～70・nAの各々は2AND回路、71・1～71・nの各々及び71・1A～71・nAの各々は相互に異なる遅延値を持つ遅延回路である。又、75・1～75・nの各々、76・1～76・nの各々は共にフリップフロップ回路であり、それぞれ、リセット端子R、データ入力D、エッジトリガ入力T、出力端子Qを備える。27Tは進相制御のパルス信号27の入力端子、28Tは進相制御のパルス信号28の入力端子、19・1～19・nの各々は当該制御信号発生手段18Aの制御信号出力線である。

【0072】2AND回路70・1と遅延回路71・1、2AND回路70・1Aと遅延回路71・1A、2

10

20

30

40

18

AND回路70・2と遅延回路71・2、2AND回路70・2Aと遅延回路71・2A、…で構成された各回路は、実施例3の図9で示した、「パルス信号のパルス幅を各々の遅延値だけ狭くする回路」に該当している。そして、2AND回路70・1と遅延回路71・1、2AND回路70・2と遅延回路71・2、…の各回路に、図1～図3の対応する位相比較器26より出力される進相制御のパルス信号27が印加され、又、2AND回路70・1Aと遅延回路71・1A、2AND回路70・2Aと遅延回路71・2A、…の各回路に進相制御のパルス信号28が印加される。2AND回路70・1～70・nの各々の出力はそれぞれフリップフロップ回路75・1～75・nのエッジトリガ入力T端子に、また、2NAND回路70・1A～70・nAの各出力は、それぞれフリップフロップ回路76・1～76・nのエッジトリガ入力T端子に接続される。フリップフロップ回路75・1～75・nの各々のデータ入力Dには、対応する後段のドライバ回路9の遅延短縮をイネーブルにする電位77が印加され、上記フリップフロップ回路75・1～75・nの各々のリセット端子Rには、対応するフリップフロップ回路76・1～76・nの出力端子Qがそれぞれ接続される。フリップフロップ回路76・1～76・nの各々のデータ入力Dには、対応するフリップフロップ回路75・1～75・nをリセット状態にするための電位78が印加されており、それらのリセット端子Rには、遅延回路71・1と2AND回路70・1からなる回路を介して、進相制御のパルス信号入力端子27Tが接続されており、当該進相制御のパルス信号27が印加されると、各フリップフロップ回路76・1～76・nはリセット状態となる構成になっている。

【0073】以下、図10の制御信号発生手段18Aを用いた本実施例3のクロック分配回路の動作を説明する。図1～図3の対応する位相比較器26から出力される、位相差に応じたパルス幅を有する進相制御のパルス信号27または進相制御のパルス信号28は、それぞれ2AND回路70・1～70・n及び遅延回路71・1～71・nから成る回路又は2AND回路70・1A～70・nA及び遅延回路71・1A～71・nAから成る回路によって、そのパルス幅が狭められる。

【0074】ところが、遅延回路71・1～71・n及び71・1A～71・nAの各遅延値はお互いに異なるので、入力する進相制御のパルス信号27のパルス幅が小さければ、2AND回路70・1～70・nの各出力の内でパルスとなって出力されるものの数が少なくなる結果、その出力を受けるフリップフロップ回路75・1～75・nの各制御信号出力線19・1～19・nの内でイネーブル電位を出力するものの数は少なくなる。逆に、入力した進相制御のパルス信号27のパルス幅が大きければ、2AND回路70・1～70・nの各出力の

19

内でパルスとなって出力されるものの数が増える結果、フリップフロップ回路 $75 \cdot 1 \sim 75 \cdot n$ の各制御信号出力線 $19 \cdot 1 \sim 19 \cdot n$ の内でイネーブル電位を出力するものの数は多くなる。

【0075】同様に、遅相制御のパルス信号28のパルス幅が小さければ、2AND回路 $70 \cdot 1A \sim 70 \cdot nA$ の各出力の内でパルスとなって出力されるものの数は少なくなる結果、フリップフロップ回路 $75 \cdot 1 \sim 75 \cdot n$ がに出力しているイネーブル電位を元に戻すために(つまりディスイネーブル電位とするために)、リセット信号を出力するフリップフロップ回路 $76 \cdot 1 \sim 76 \cdot n$ の数は少なくなる。逆に、遅相制御のパルス信号28のパルス幅が大きければ、2AND回路 $70 \cdot 1A \sim 70 \cdot nA$ の各出力の内でパルスとなって出力されるものの数が増える結果、フリップフロップ回路 $75 \cdot 1 \sim 75 \cdot n$ がに出力しているイネーブル電位を元に戻すためにリセット信号を出力するフリップフロップ回路 $76 \cdot 1 \sim 76 \cdot n$ の数は多くなる。

【0076】この後、進相制御のパルス信号27が再び出力され始めると、フリップフロップ回路 $76 \cdot 1 \sim 76 \cdot n$ が、進相制御のパルス信号27によりリセットされる結果、フリップフロップ回路 $76 \cdot 1 \sim 76 \cdot n$ の各出力信号の内でフリップフロップ回路 $75 \cdot 1 \sim 75 \cdot n$ の内のいくつかをリセット状態にしている出力信号が解除されて、再び上記の動作が繰り返される。

【0077】図10に示される制御信号発生手段18Aを用いる本実施例3の場合には、実施例1で図6を用いた場合と異なり、一回の進相制御のパルス信号27または一回の遅相制御のパルス信号28の入力だけで、制御信号発生手段18Aがに出力する制御信号($19 \cdot 1 \sim 19 \cdot n$)の内でイネーブル電位となるものの本数を最適値にすることができるので、クロック分配回路の位相調整に要する時間を格段に短縮できるという効果がある。

【0078】(実施例5)図11は、図1~図3に示した後段のドライバ回路9の他の構成例を示す図である。図1~図3の他の部分に相当する部分は、実施例1と同一である。

【0079】本実施例5が実施例1の図7と異なる点は、図7ではインバータ回路82と並列に3ステートインバータ回路 $83 \cdot 1 \sim 83 \cdot n$ を接続していたが、それに変えて、インバータ回路82(別のトランジスタ回路)と幹線配線を駆動するためのインバータ回路81(トランジスタ回路)との間に、抵抗素子 $85 \cdot 0 \sim 85 \cdot n$ とスイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ とを挿入したことである。スイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ の各々の導通/非導通制御は、図1~図3の制御信号発生手段18の制御信号出力線と接続されており、制御信号がイネーブル電位にあるときにスイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ は導通状態を、ディスイネーブル電位にあるときにスイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ は非導通状態をとる。

20

【0080】図1~図3の制御信号発生手段18の出力にイネーブル電位が多く現われると、導通状態となるスイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ の数が多くなって、インバータ回路82がインバータ回路81の入力容量を充放電する電流が多くなる結果、後段のドライバ回路9の遅延時間は短くなる。

10

【0081】逆に、図1~図3の制御信号発生手段18の出力にディスイネーブル電位が多く現われると、導通状態となるスイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ の数が少なくて、インバータ回路82がインバータ回路81の入力容量を充放電する電流が少くなり、後段のドライバ回路9の遅延時間は長くなる。

20

【0082】このように、並列接続された、スイッチ回路 $86 \cdot 1 \sim 86 \cdot n$ の各々とそれに対応する抵抗素子 $85 \cdot 1 \sim 85 \cdot n$ の各々とから成るn個の回路部分は、イネーブル電位の制御信号の入力を受けて充放電流を発生させる電流制限手段として機能する。

30

【0083】以上の説明より、図11を用いる本実施例5でも、図7を用いた実施例1と同様の効果が得られることが理解される。加えて、本実施例5によれば、より微小な遅延値の制御が容易にできるという利点もある。

【0084】なお、図11に示す例では抵抗素子 $85 \cdot 1 \sim 85 \cdot n$ を使用した場合を示したが、抵抗素子 $85 \cdot 1 \sim 85 \cdot n$ に代わる各部分をそれぞれトランジスタ回路で構成しても良く、このときにも図11の場合と同様の効果が得られる。

30

【0085】

【実施例の効果】以上のように、各実施例で述べたクロック分配回路によれば、クロックを複数本の幹線配線を使用して複数の論理回路群に分配し、かつ幹線配線間の位相を自動的に合わせるように構成したので、個々に位相調整よりも搭載回路数を低下でき、かつ消費電力の増加を抑えることができる。またクロックを供給すべき論理回路群が片寄って配置された場合でも、分配経路を設計し直す必要がない。さらに、ブランチ配線を短くできるので、ドライバ回路のトランジスタ・サイズを小さくでき、かつ配線抵抗のばらつきによらずにスキューリーを従来よりも小さくすることができる、という効果がある。

40

【0086】

【発明の効果】請求項1に係る発明によれば、論理回路群が偏って配置されている場合においても、各幹線配線間に生じる位相差を自動的に且つ正確に調整して上記位相差を低減することができ、その為、新たにクロック分配回路を設計し直す必要がないという効果がある。加えて、この発明では、ブランチ配線を短くすることできるのでドライバ回路のサイズを小さくすることができると共に、配線抵抗のばらつきに依らずに上記位相差を従来技術と比較して格段に低減することができる効果もある。

21

【0087】請求項2に係る発明によれば、クロック分配回路内の搭載回路数の低下(エリアペナルティの増加)を抑えることができる効果がある。

【0088】請求項3に係る発明によれば、クロック分配回路内の搭載回路数の低下(エリアペナルティの増加)を抑えることができる効果がある。

【0089】請求項4に係る発明によれば、クロック分配回路内の搭載回路数の低下(エリアペナルティの増加)を抑えることができる効果がある。

【0090】請求項5に係る発明によれば、クロック分配回路内の搭載回路数の低下(エリアペナルティの増加)を抑えることができる効果がある。 10

【0091】請求項6に係る発明によれば、幹線配線間の位相差を自動的に検出・判定できる位相検出手段を実現できる効果がある。

【0092】請求項7に係る発明によれば、進相制御/遅相制御のパルス信号の入力毎にドライバ回路の遅延短縮を逐一正確に制御することができる効果がある。

【0093】請求項8に係る発明によれば、一回の進相制御/遅相制御のパルス信号の入力によってドライバ回路の遅延短縮を最適値に制御することができるので、クロック分配回路の位相調整に要する時間を短縮化することができる効果がある。 20

【0094】請求項9に係る発明によれば、幹線配線を駆動するトランジスタ回路の駆動力は常に一定なので、クロック分配後のクロック信号の立上がり時間及び立下がり時間を一定としたままでドライバ回路の遅延を制御できる効果がある。

【0095】請求項10に係る発明によれば、クロック分配後のクロック信号の立上がり時間及び立下がり時間を一定としたままでドライバ回路の遅延を制御すると共に、より微小な遅延値の制御を容易に行えることができる効果がある。 30

【0096】請求項11に係る発明によれば、幹線配線を駆動するトランジスタ回路の駆動力は常に一定なので、クロック分配後のクロック信号の立上がり時間及び立下がり時間を一定としたままでドライバ回路の遅延を制御できる効果がある。

【図面の簡単な説明】

【図1】 本発明の実施例1に係るクロック分配回路の構成を示す平面図である。 40

【図2】 本発明の実施例1に係るクロック分配回路の構成を示す平面図である。

22

【図3】 本発明の実施例1に係るクロック分配回路の構成を示す平面図である。

【図4】 本発明を構成する位相比較器の位相特性を示す説明図である。

【図5】 実施例1における位相比較器の具体的構成例を示す回路図である。

【図6】 実施例1における制御信号発生手段の具体的構成例を示す回路図である。

【図7】 実施例1の後段のドライバ回路の具体的構成例を示す回路図である。

【図8】 実施例2のクロック分配回路を構成する位相比較器と制御信号発生手段の配置構成を示す平面図である。

【図9】 実施例3における位相比較器を構成する要部を示す回路図である。

【図10】 実施例4における制御信号発生手段の構成例を示す回路図である。

【図11】 実施例5における後段のドライバ回路の構成を示す回路図である。

【図12】 従来の技術を示すクロック分配回路の構成図である。

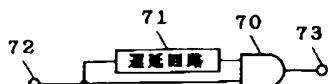
【図13】 従来の技術を示すクロック分配回路の別の構成図である。

【図14】 従来の技術を示す位相比較器の構成図である。

【符号の説明】

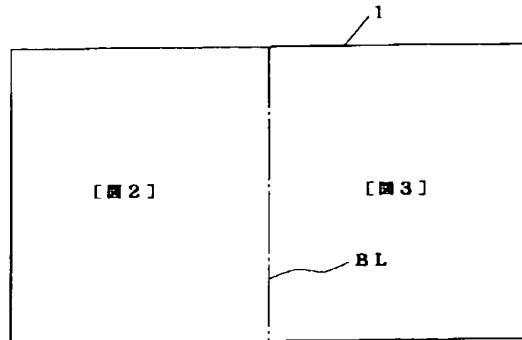
- 1 半導体集積回路装置、3 外部クロック入力端子、7 前段のドライバ回路、9·1~9·7 後段のドライバ回路、11·1~11·7 幹線配線、15 ブランチ配線、19·0 接続配線、21 論理回路群、18·2~18·7 制御信号発生手段、19·1~19·n 制御信号出力線、25·1~25·7 位相比較器の入力、26·2~26·7 位相比較器、27 進相制御のパルス信号、28 遅相制御のパルス信号、31 VDD電源バス、32 VSS電源バス、70·1~70·n, 70·1A~70·nA 2AND回路、71·1~71·n, 71·1A~71·nA 遅延回路、75·1~75·n フリップフロップ回路、76·1~76·n フリップフロップ回路、80 出力端子、81 インバータ回路、82 インバータ回路、83·1~83·n 3ステートインバータ回路、84 入力端子、85·0~85·n 抵抗素子、86·1~86·n スイッチ回路。

【図9】



(13)

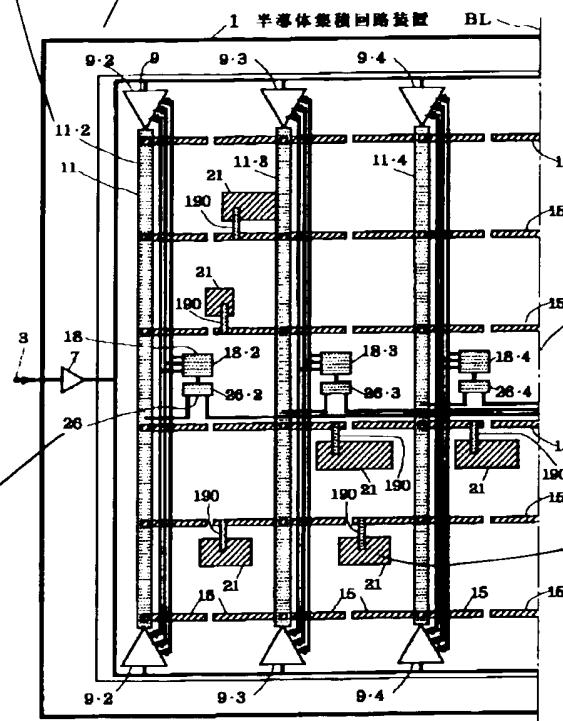
【図1】



【図2】

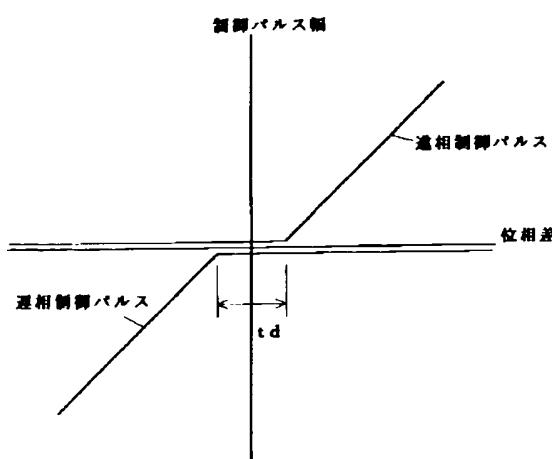
【図3】

【図2】

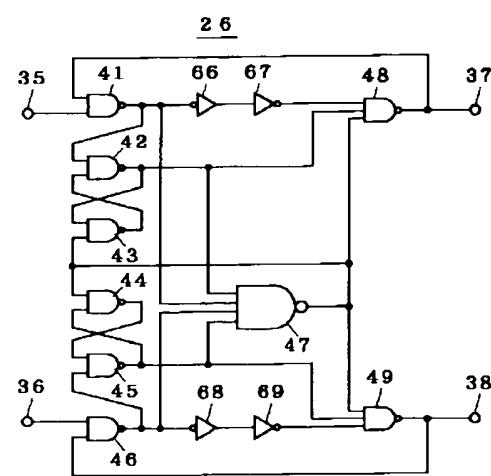


9-2, 9-3, 9-4 : 段階のドライバ回路
11-2, 11-3, 11-4 : 電源配線
26-2, 26-3, 26-4 : 位相比較器
18-2, 18-3, 18-4 : 駆動信号発生手段
21 : 駆動回路部

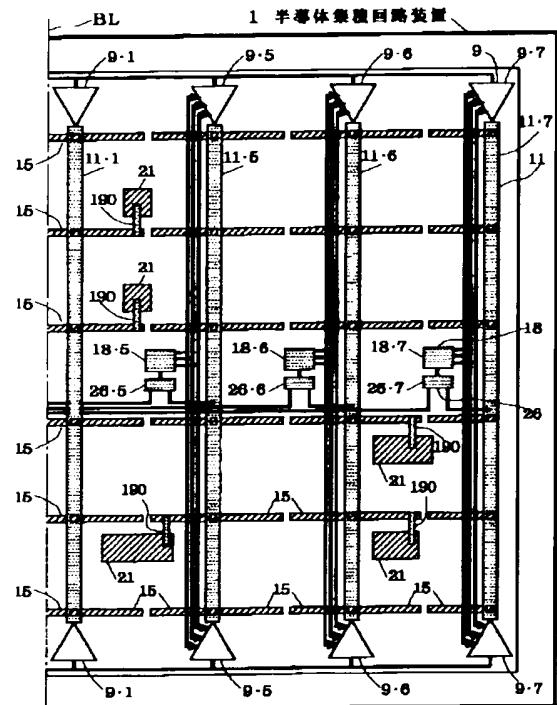
【図4】



【図5】

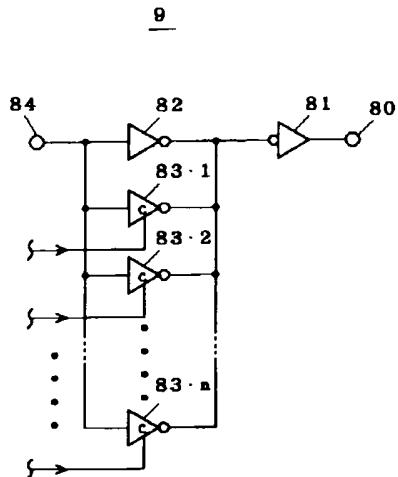


【図3】

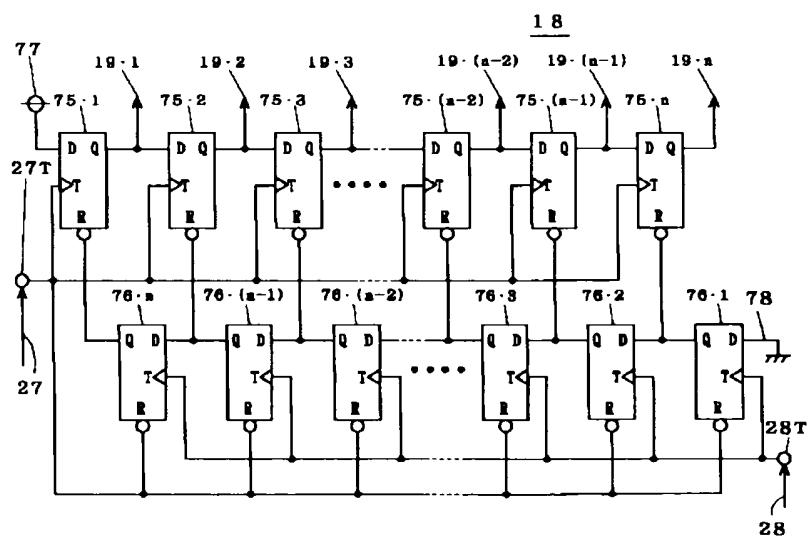


9-1, 9-5, 9-6, 9-7: 集積のドライバ回路
 26-5, 26-6, 26-7: 位相比較器
 11-1, 11-5, 11-6, 11-7: 神経記録
 18-5, 18-6, 18-7: 駆動信号発生手段
 21: 整理回路部

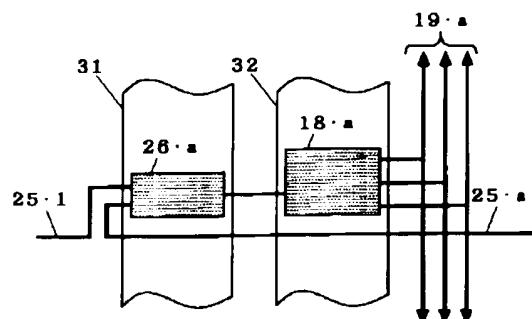
【図7】



【図6】



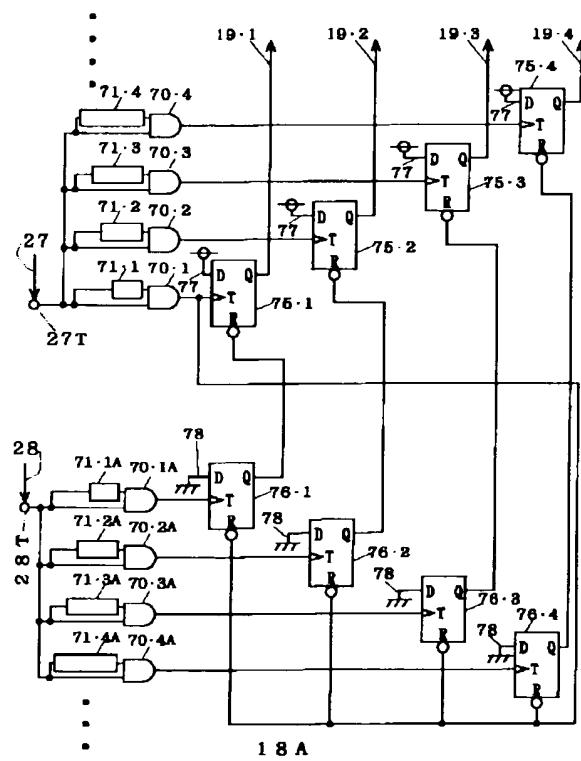
【図8】



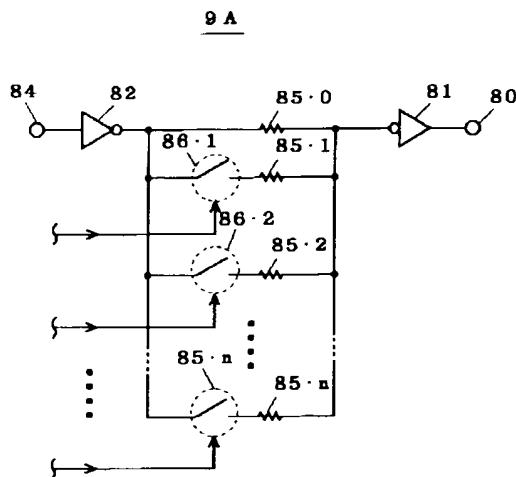
31 : VDD 電源バス

32 : VSS 電源バス

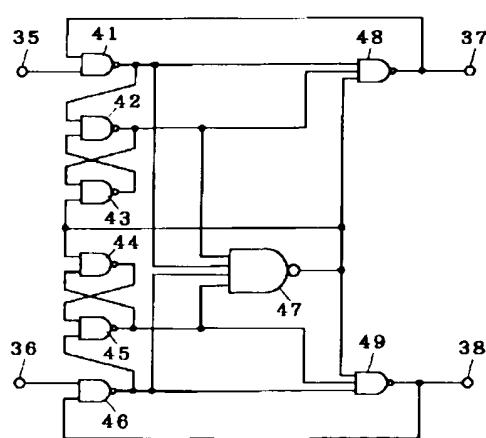
【図10】



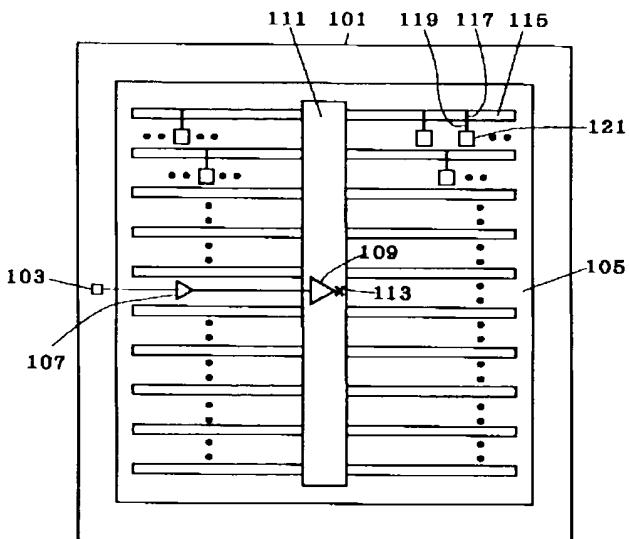
【図11】



【図14】



【図12】



【図13】

